

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-59800

(P 2 0 0 0 - 5 9 8 0 0 A)

(43) 公開日 平成12年2月25日 (2000. 2. 25)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H04N 9/07	-	H04N 9/07	A 5C065
9/67		9/67	C 5C066
			D

審査請求 未請求 請求項の数 7 O L (全17頁)

(21) 出願番号	特願平10-228319	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成10年8月12日 (1998. 8. 12)	(72) 発明者	小山 隆浩 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(72) 発明者	的場 成浩 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74) 代理人	100057874 弁理士 曾我 道照 (外6名)

最終頁に続く

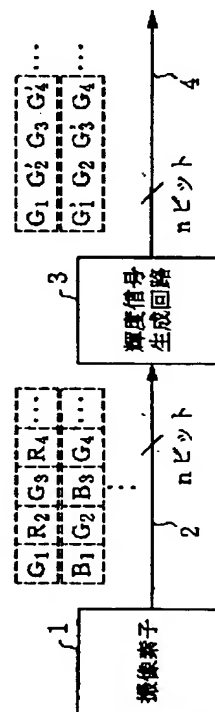
(54) 【発明の名称】 画像信号処理回路

(57) 【要約】

【課題】 従来、色変換する度にラインバッファ等の高速なメモリアクセスを要するという課題があった。

【解決手段】 複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子1と、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号 (G信号) の水平方向の補間のみで輝度信号を生成する輝度信号生成回路3とを備えた。

【効果】 撮像素子の出力信号を一時保持するラインバッファ等の記憶手段が不要となり、回路規模を低減できる。



## 【特許請求の範囲】

【請求項1】 複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、  
前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の水平方向の補間のみで輝度信号を生成する輝度信号生成回路とを備えたことを特徴とする画像信号処理回路。

【請求項2】 さらに、前記カラー撮像素子から出力される前記画像信号の同一水平ラインの連続した複数の画素を同時に保持し、これら保持し連続した複数の画素を同時にパラレルに前記輝度信号生成回路に供給する記憶手段を備えたことを特徴とする請求項1記載の画像信号処理回路。

【請求項3】 複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、  
前記カラー撮像素子から出力される複数の異なる水平ラインの画像信号を同時に保持し、これら保持した複数の異なる水平ラインの画像信号を同時に出力する記憶手段と、  
前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の垂直方向の補間のみで輝度信号を生成する輝度信号生成回路とを備えたことを特徴とする画像信号処理回路。

【請求項4】 前記記憶手段は、前記カラー撮像素子から出力される連続した複数の水平ラインの画像信号を同時に保持し、これら保持し連続した複数の水平ラインの画像信号をパラレルに前記輝度信号生成回路に供給することを特徴とする請求項3記載の画像信号処理回路。

【請求項5】 前記輝度信号生成回路は、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の垂直方向及び水平方向の補間によって輝度信号を生成することを特徴とする請求項4記載の画像信号処理回路。

【請求項6】 複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、  
前記カラー撮像素子から出力される複数の異なる水平ラインの画像信号を同時に保持し、これら保持した複数の異なる水平ラインの画像信号を同時に出力する記憶手段と、  
前記画像信号に含まれる複数の異なる水平ラインの色情報信号を輝度信号及び色差信号に変換する色変換回路とを備えたことを特徴とする画像信号処理回路。

【請求項7】 さらに、  
前記記憶手段から同時に出力される画像信号に含まれる複数の色情報信号から補間データを生成し、1画素当り複数色の色情報信号をもった画像信号を前記色変換回路に供給する補間回路を備えたことを特徴とする請求項6記載の画像信号処理回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、ビデオカメラやデジタルスチルカメラなどで撮影したカラー画像データの画像信号処理回路に関するものである。

## 【0002】

【従来の技術】 単板式カラー撮像素子は、光学系が小型で簡単に高い解像度の画像が撮影できるという利点を有することから、ビデオカメラやデジタルスチルカメラなどに広く用いられている。この単板式のカラー撮像素子には、補色系と原色系のカラーフィルタが用いられるが、高い色調再現性が求められるデジタルスチルカメラなどにはR（レッド）、G（グリーン）、B（ブルー）の3色から成る原色系フィルタが使用されることが多い。

【0003】 通常、原色系カラーフィルタをもつ撮像素子によって撮影された画像信号は、モニタ装置などで観察できるように色差信号と輝度信号に色変換される。従来、画像信号を色差信号や輝度信号に変換する場合、撮像素子の出力信号を一旦、フレームメモリやラインメモリなどの記憶手段に蓄え、保持した画像信号をメモリから順次読み出して色変換処理を行っていた。このような構成によって画像信号を輝度信号や色差信号に色変換する場合、メモリから画像信号を読み出す際に高速なメモリアクセスを要する。このような色変換ブロックを備えた例が特開平5-252522号公報に記載されている。

【0004】 従来の画像信号処理回路について図面を参照しながら説明する。図14は、例えば特開平5-252522号公報に示された従来のデジタルビデオカメラの構成を示すブロック図である。

【0005】 図14において、1001はレンズ、1002は撮像素子、1003は相関二重サンプリング回路、1004はA/D変換回路、1005はラインメモリ、1006は信号処理回路、1007は圧縮回路、1008はメモリカードである。また、1009はタイミングジェネレータ、1010はアドレスコントローラ、1011は制御回路（CPU）である。

【0006】 この従来例の場合、図14に示すように、撮像素子1002の出力信号を2系統、あるいは1系統のラインメモリ1005に一時保持し、色変換処理する際に保持したデータの読み出しを行う。ラインメモリ1005に保持したデータの読み出し動作制御は図14に示すアドレスコントローラ1010によって行われており、画像データの読み出しを行う制御クロック信号は書き込みクロックの2倍、あるいは4倍の周波数を必要とする。

## 【0007】

【発明が解決しようとする課題】 上述したような従来の画像信号処理回路では、撮像素子の出力信号をラインメモリに一時保持し、保持した画像信号により輝度信号、色差信号を生成する従来手法を用いているため、色変換

する度にラインバッファ等の高速なメモリアクセスを要するという問題点があった。

【0008】この発明は、前述した問題点を解決するためになされたもので、回路ブロックの動作周波数を低減することができ、ラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができる画像信号処理回路を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る画像信号処理回路は、複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の水平方向の補間のみで輝度信号を生成する輝度信号生成回路とを備えたものである。

【0010】また、この発明に係る画像信号処理回路は、さらに、前記カラー撮像素子から出力される前記画像信号の同一水平ラインの連続した複数の画素を同時に保持し、これら保持し連続した複数の画素を同時に平行に前記輝度信号生成回路に供給する記憶手段を備えたものである。

【0011】この発明に係る画像信号処理回路は、複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、前記カラー撮像素子から出力される複数の異なる水平ラインの画像信号を同時に保持し、これら保持した複数の異なる水平ラインの画像信号を同時に出力する記憶手段と、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の垂直方向の補間のみで輝度信号を生成する輝度信号生成回路とを備えたものである。

【0012】また、この発明に係る画像信号処理回路は、前記記憶手段が、前記カラー撮像素子から出力される連続した複数の水平ラインの画像信号を同時に保持し、これら保持し連続した複数の水平ラインの画像信号を平行に前記輝度信号生成回路に供給するものである。

【0013】また、この発明に係る画像信号処理回路は、前記輝度信号生成回路が、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の垂直方向及び水平方向の補間によって輝度信号を生成するものである。

【0014】この発明に係る画像信号処理回路は、複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、前記カラー撮像素子から出力される複数の異なる水平ラインの画像信号を同時に保持し、これら保持した複数の異なる水平ラインの画像信号を同時に出力する記憶手段と、前記画像信号に含まれる複数の異なる水平ラインの色情報信号を輝度信号及び色差信号に変換する色変換回路とを備えたものである。

【0015】また、この発明に係る画像信号処理回路は、さらに、前記記憶手段から同時に出力される画像信

号に含まれる複数の色情報信号から補間データを生成し、1画素当たり複数色の色情報信号をもった画像信号を前記色変換回路に供給する補間回路を備えたものである。

【0016】

【発明の実施の形態】実施の形態1. この発明の実施の形態1に係る画像信号処理回路について図面を参照しながら説明する。図1は、この発明の実施の形態1に係る画像信号処理回路の構成を示すブロック図である。また、図2は、この発明の実施の形態1に係る画像信号処理回路の撮像素子に用いられるベイヤー型の原色系カラーフィルタを示す図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0017】図1において、1は撮像素子、2はnビットの画像信号、3は輝度信号生成回路、4はnビットの輝度信号を示す。

【0018】図2に示すR、G、Bはそれぞれレッド、グリーン、ブルーのフィルタを示し、3色のフィルタが図2のように配置されている。

【0019】原色系フィルタにはR、G、Bの配列方法により様々なタイプのものがあり、各配列方法によって異なる特性を持つ。そのため、用途によって使用するフィルタは異なるが、ここでは例としてベイヤー型に配列された原色フィルタを用いて実施の形態1の説明を行うことにする。

【0020】原色系のカラーフィルタは、R（レッド）、G（グリーン）、B（ブルー）の3色から成っており、このようなフィルタを用いた場合に得られる画像信号はRGBの色情報信号から構成される。

【0021】通常、図2に示すベイヤー型フィルタを用いた場合には図の点線部で囲まれた3色の信号を用いて輝度信号を生成するが、本実施の形態1ではRGB3色の中で最も多く輝度情報を持っているG信号を用いて輝度信号を生成する。通常の輝度信号生成方法を用いる場合、RGB3色から輝度信号を生成するために撮像素子の出力信号を保持するラインバッファを要するが、本実施の形態1ではラインバッファが不要であり回路規模の低減を図ることができる。

【0022】つぎに、前述した実施の形態1に係る画像信号処理回路の動作について図面を参照しながら説明する。図3は、この発明の実施の形態1に係る画像信号処理回路の動作である、撮像素子から出力されたG信号に基づき輝度信号を生成する方法を示す図である。

【0023】ここで扱う画像信号2は、R、G、B信号から成る画像信号であり、これらRGB信号は原色系のカラーフィルタの配置に従って撮像素子1から順次出力される。このとき、RGBのカラーフィルタが図2に示すような位置に配置されている場合、撮像素子1から画像信号2が奇数番目の水平ライン上ではGRGR…、偶数番目の水平ライン上ではBGGB…の順で出力され

る。

【0024】輝度信号生成回路3に送られた画像信号2は、G信号とそれ以外の色信号に分けられ、G信号は輝度信号生成回路3から輝度信号4としてそのまま出力される。

【0025】R信号、及びB信号が輝度信号生成回路3に入力された場合には、これらの色信号に隣合うG信号

(奇数ライン)

$$\text{輝度信号 } G'_{(2k+1), (2l+1)} = G_{(2k+1), (2l+1)}$$

$$\text{輝度信号 } G'_{(2k+1), (2l+2)} = (G_{(2k+1), (2l+1)} + G_{(2k+1), (2l+3)}) / 2$$

$$\text{輝度信号 } G'_{(2k+1), (2Nb+2)} = G'_{(2k+1), (2Nb+1)}$$

(式1)

【0028】

(偶数ライン)

$$\text{輝度信号 } G'_{(2k+2), (1)} = G_{(2k+2), (2)}$$

$$\text{輝度信号 } G'_{(2k+2), (2l+1)} = (G_{(2k+2), (2l)} + G_{(2k+2), (2l+2)}) / 2$$

$$\text{輝度信号 } G'_{(2k+2), (2l+2)} = G_{(2k+2), (2l+1)}$$

(式2)

(ただし、 $k=0, 1, 2, 3, \dots, Nv, l=0, 1, 2, 3, \dots, Nh$ 、  
1ライン(水平方向)の画素数を $(2Nh+2)$ とする。)

【0029】ここでは、R、B信号の両隣のG信号のみによってG'信号を生成しているが、同一ライン(水平方向)上の他のG信号を用いて、G'信号を生成する画素(R、B信号の画素位置)位置と補間に用いる画素との距離によってG信号の重み付けを決定してG信号の補間データ、すなわち輝度信号4を生成してもよい。

【0030】このように、RGBの色情報信号の中で最も多くの輝度情報を含むG信号を用いて、同一水平ライン上のG信号の補間計算によって輝度信号4を生成すれば、撮像素子1の出力信号を順次、輝度信号4に変換することができ、撮像素子1の出力信号を一時保持するラインバッファ等の記憶手段が不必要となり、回路規模を低減できる。

【0031】実施の形態2。上記の実施の形態1では、撮像素子1の出力信号から順次、輝度信号を生成するようにしたものであるが、この実施の形態2では、輝度信号生成回路の前段にFIFOなどで構成したラインバッファを設けて、このバッファから後段の回路ブロックに画像信号を平行に供給するものである。

【0032】この発明の実施の形態2に係る画像信号処理回路について図面を参照しながら説明する。図4は、この発明の実施の形態2に係る画像信号処理回路の構成を示すブロック図である。また、この発明の実施の形態2に係る画像信号処理回路のラインバッファの構成を示す図である。

【0033】図4において、1は撮像素子、2はnビットの画像信号、3は輝度信号生成回路、4は $4 \times n$ ビットの輝度信号を示す。また、5は複数のFIFOから構成され、撮像素子1の出力信号を一時保持するためのラインバッファ、6はSRAM、7は $4 \times n$ ビットの

の補間計算によって新たに輝度信号を生成し、この生成した輝度信号4を輝度信号生成回路3から出力する。

【0026】G信号の補間データは、図3、並びに(式1)及び(式2)に示すように、R、及びB信号の両隣のG信号を平均したもので、この平均値G'を輝度信号4として出力する。

【0027】

画像信号である。

【0034】図5は、4個のFIFO51~54で構成されたラインバッファ5を示しており、FIFO51~FIFO54は同じ仕様とする。

【0035】図5において、WRES1信号511、WRES2信号521、WRES3信号531、WRES4信号541は、それぞれFIFO51~54の書きこみセット信号を示し、WEB1信号512、WEB2信号522、WEB3信号532、WEB4信号542は、それぞれFIFO51~54の書き込みイネーブル信号を示す。

【0036】また、同図において、WCLK1信号513、WCLK2信号523、WCLK3信号533、WCLK4信号543は、それぞれFIFO51~54の書き込クロックを示し、WDATA1信号514、WDATA2信号524、WDATA3信号534、WDATA4信号544は、それぞれFIFO51~54の書きこみデータを示す。

【0037】また、同図において、RRES1信号515、RRES2信号525、RRES3信号535、RRES4信号545は、それぞれFIFO51~54の読み込みリセット信号を示し、REB1信号516、REB2信号526、REB3信号536、REB4信号546は、それぞれFIFO51~54の読み込みイネーブル信号を示す。

【0038】さらに、同図において、RCLK1信号517、RCLK2信号527、RCLK3信号537、RCLK4信号547は、それぞれFIFO51~54の読み込みクロック信号を示し、RDATA1信号518、RDATA2信号528、RDATA3信号53

30

40

50

8、RDAT A 4信号548は、それぞれFIFO51～54のnビットの出力信号を示す。

【0039】各FIFO51～54の出力信号は同時に出力され、 $4 \times n$ ビットの画像信号7として後段の回路ブロックに供給される。FIFO51～54は、各FIFOの書き込みイネーブル信号がローレベルのときに書き込みクロックの立ち上がりに同期して画像信号の書き込みを行い、各読み込みイネーブル信号がローレベルのとき保持したデータを読み込みクロックの立ち上がりに同期して出力する。

【0040】また、図6は、画像信号をラインバッファ5に一時保持し、後段の回路ブロックに画像信号を送信するタイミングチャート示したものである。

【0041】図6において、DCLK600は画像信号のクロック信号、WRES信号501はFIFO51～54の書きこみリセット信号511、521、531、541に共通に入力され、同様にWEB信号502は512、522、532、542に、RCLK信号507は517、527、537、547に、PRES信号505は515、525、535、545に、REB信号506は516、526、536、546にそれぞれ共通に入力される。LGATE信号700は画像信号が撮像素子から出力される間はローレベルとなる。

【0042】この実施の形態2は、上記の実施の形態1と同様、原色系カラーフィルタを用いた撮像素子1の出力信号から輝度信号を生成するための画像信号処理回路に関するものである。撮像素子1から出力される画像信号2は、実施の形態1と同様にRGBのカラー信号から成り、奇数ラインではGとR信号が交互に、偶数ラインではBとG信号が交互に出力される。実施の形態1では、撮像素子1の出力信号を順次、輝度信号生成回路3に入力していたが、本実施の形態2では輝度信号生成回路3の前段にFIFOなどによって構成したラインバッファ5を備え、複数ラインの画像信号をこのラインバッファ5に一時保持する。そして、ラインバッファ5に保持した複数ラインの画像信号をFIFOより後段の回路ブロックに平行に出力し、輝度信号などの生成を行う。

【0043】つぎに、前述した実施の形態2に係る画像信号処理回路の動作について図面を参照しながら説明する。

【0044】図6のタイミングチャートに示す通り、撮像素子1から画像信号2が出力されると、まずFIFOの書きこみイネーブル信号をローレベルとし、FIFOへの画像信号の書きこみを可能とする。FIFO51～54には、それぞれ同一水平ライン上の $(4k_L + 1)$ 、 $(4k_L + 2)$ 、 $(4k_L + 3)$ 、 $(4k_L + 4)$ （ただし、 $k_L = 0, 1, 2, 3, \dots$ ）番目の画像信号を保持するよう書きこみクロックを発生させる。各FIFOには、書きこみクロックの立ち上がりに同期し

て撮像素子1の出力信号（画像信号）を順次書きこみ、FIFOのメモリ量に応じた複数ラインの画像信号を保持する。

【0045】そして、FIFO51～54に保持した画像信号をFIFOの読み出しクロックに同期して出力する。各FIFOの読み出しクロックを共通化し、 $(4k + 1)$ 、 $(4k + 2)$ 、 $(4k + 3)$ 、 $(4k + 4)$

（ただし、 $k = 0, 1, 2, 3, \dots$ ）番目の画像信号をFIFO51～54から同時に平行に輝度信号生成回路3に供給する。

【0046】この輝度信号生成回路3では、ラインバッファ5から出力された $(4 \times n)$ ビットの画像信号からG信号のデータを抜き出し、実施の形態1と同様の方法によりG信号の補間データから輝度信号4を生成する。このように撮像素子1の出力信号2をラインバッファ5に一時保持し、保持した複数画素の画像信号7を平行に輝度信号生成回路3に入力することで、図6に示すタイミングチャートのように、書き出しクロックに比べてFIFOの読み出しクロックや後段の動作周波数を低減することが可能である。

【0047】実施の形態3. この実施の形態3では、撮像素子の出力信号を保持するラインバッファを複数のFIFOで構成し、各FIFOには異なる水平ライン上の画像信号を保持して後段の信号処理ブロックに複数ラインの画像信号を同時に出力するものである。

【0048】この発明の実施の形態3に係る画像信号処理回路について図面を参照しながら説明する。図7は、この発明の実施の形態3に係る画像信号処理回路のラインバッファの構成を示す図である。なお、他の構成は、実施の形態1と同様である。また、図8は、この発明の実施の形態3に係る画像信号処理回路の動作を示すタイミングチャートである。

【0049】この実施の形態3では、上記の実施の形態2と同様に、撮像素子1の出力信号を複数のFIFOから構成されたラインバッファ5Aに一時保持し、後段の回路ブロックに供給するものである。ここでは、複数ラインの画像信号をラインバッファ5Aに蓄える際、実施の形態2のように同一の水平ライン上の画素信号を複数のFIFOに振り分けるのではなく、同一の水平ライン上の画素信号は同じFIFOに蓄えるようにする。

【0050】図8に示したタイミングチャートに従って各FIFOの書きこみイネーブル信号を入力し画像信号を取り込むFIFOの切り替えを行えば、各FIFOにはそれぞれ異なるライン上の画像信号を保持することができる。

【0051】本実施の形態3で用いるラインバッファ5Aは、図7に示したようにFIFO51～53の3個のFIFOで構成するので、図8のFIFOの制御を行えばFIFO51～53にはそれぞれ $(3k_L + 1)$ 、 $(3k_L + 2)$ 、 $(3k_L + 3)$ （ただし、 $k_L = 0$ 、

10

20

30

40

50

1、2、3、…) ライン目の画像信号を保持できる。

【0052】そして、図8に従って複数ラインの画像信号を各FIFOに書きこみ終わった時点で、異なる複数ラインの画像信号を同時に後段の輝度信号生成回路3に供給する。このとき、各FIFOにおいて同じメモリアドレス上に同時に画像信号の書きこみ・読み込みを行うことのないよう、FIFOに書きこんだ画像信号を読み取り後に次ラインの画像信号を書きこむよう制御する。

【0053】ここでは、FIFOの書きこみクロックと読みこみクロックを同じ周波数としているので、書きこみリセット信号を入力後に読み込みのリセット信号を入力すれば、画像信号を書き込む前のメモリアドレスに読み込みアクセスをすることや、同じメモリアドレスに同時に書き込み・読み込み動作を行うことはない。以上のように異なる複数ラインの画像信号をFIFOの後段回路ブロックに供給することにより、垂直方向の複数画像信号を同時に処理することが可能となる。

【0054】また、各FIFOの出力信号のバス幅を拡大し、FIFOに書きこんだ複数画素の画像信号を同時に出力することにより、FIFOの読み込みクロックや後段回路ブロックの動作周波数を低減することが可能である。

【0055】このように撮像素子1から出力される複数ラインの画像信号を一時保持するラインバッファ5Aを複数のFIFOで構成し、同一の水平ライン上の画像信

$$\text{輝度信号 } G'_{(2k+1), (2l+1)} = G_{(2k+1), (2l+1)}$$

$$\text{輝度信号 } G'_{(2k+1), (2l+2)} = (G_{(2k), (2l+2)} + G_{(2k+2), (2l+2)}) / 2$$

$$\text{輝度信号 } G'_{(2kv+1), (2l+2)} = G_{(2kv), (2l+2)}$$

(式3)

【0060】

30

$$\text{輝度信号 } G'_{(1), (2l+2)} = G_{(1), (2l+2)}$$

$$\text{輝度信号 } G'_{(2k), (2l+1)} = (G_{(2k-1), (2l+1)} + G_{(2k+1), (2l+1)}) / 2$$

$$\text{輝度信号 } G'_{(2k), (2l+2)} = G_{(2k), (2l+2)}$$

(式4)

(ただし、 $k=1, 2, 3, Nv \dots, l=0, 1, 2, 3, Nh \dots$ ,

水平方向のライン数:  $2Nv+1$ とする)

【0061】以上のようにG信号の垂直方向の補間によって輝度信号を生成する場合、実施の形態3と同様に複数ラインの画像信号2をラインバッファ5Aに一時保持し、輝度信号生成回路3に保持した複数ラインの画像信号7を平行に供給すれば、ラインバッファ等のメモリアクセスを不要とすることができる。また、本実施の形態4では(式3)、(式4)のように隣り合う上下2信号の平均値より輝度信号を作成しているが、他の補間方法によりさらに複数の画素を用いて補間データを作成してもよい。

【0062】このように撮像素子1から出力される複数ラインの画像信号を一時保持するラインバッファ5Aを備え、異なる水平ライン上の複数画素の画像信号7をラインバッファ5Aから輝度信号生成回路3に同時に供給

号を同じFIFOに一時保存することで前記記憶手段に複数ラインの画像信号を保持し、さらに異なる水平ライン上の複数の画像信号を後段回路ブロックに平行に供給することで、撮影画像の垂直ライン方向の画像信号を後段の回路ブロックで利用することができるようになり、またラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができる。

【0056】実施の形態4、上記の実施の形態1及び2では、G信号の水平方向の補間のみで輝度信号を生成していたが、この実施の形態4では、G信号の垂直方向の補間のみで輝度信号を生成するものである。

【0057】図9は、この発明の実施の形態4に係る画像信号処理回路におけるG信号から輝度信号を生成する方法を示したものである。本実施の形態4のブロック構成は図4と同様であるので、図の説明は省略する。

【0058】上記の実施の形態1ではG信号の水平方向の補間のみで輝度信号を生成していたが、本実施の形態4ではG信号の垂直方向の補間によって輝度信号を生成するため、図9のようにG信号のない画素部においてはその画素の上下(垂直)方向のG信号を補間し輝度信号G'を生成する。ここでは、図9、並びに(式3)及び(式4)に示したように、 $R_{k, (l-1)}$  および  $B_{(k+1), l}$  信号のある画素部の輝度信号を、上下2画素のG信号の平均によって求める。

【0059】

すれば、同一垂直ライン上のG信号の補間計算により輝度信号を生成することができる。また、このような構成を用いることにより、ラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができる。

【0063】実施の形態5、これまでの実施の形態では、G信号の水平方向、あるいは垂直方向という単方向の補間のみで輝度信号を生成していたが、この実施の形態5ではG信号の水平、垂直方向の補間を用いて輝度信号を生成するものである。

【0064】図10は、この発明の実施の形態5に係る画像信号処理回路におけるG信号から輝度信号を生成する方法を示したものである。画像信号処理回路のブロック構成は図4と同様であり、ラインバッファの制御方法は実施の形態3で述べた図8と同様であることから、こ

こでの説明は省略する。

【0065】隣り合う左右・上下方向の画素におけるG信号を用いて補間生成した輝度信号は、実施の形態1、4のように単一方向のG信号の補間のみで生成した輝度信号に比べて、より多くの輝度情報を含んでいる。ここでは、図10のようにG信号のない画素部において、この画素の左右、上下方向のG信号を補間し輝度信号G'を生成する。

$$\text{輝度信号 } G'_{(2k), (2l+1)} = (G_{(2k), (2l)} + G_{(2k), (2l+2)} + G_{(2k-1), (2l+1)} + G_{(2k+1), (2l+1)}) / 4$$

$$\text{輝度信号 } G'_{(2k), (2l+2)} = G_{(2k), (2l+2)}$$

$$\text{輝度信号 } G'_{(2k+1), (2l+1)} = G_{(2k+1), (2l+1)}$$

$$\text{輝度信号 } G'_{(2k+1), (2l+2)} = (G_{(2k+1), (2l+1)} + G_{(2k+1), (2l+3)} + G_{(2k), (2l+2)} + G_{(2k+2), (2l+2)}) / 4$$

$$(k=1, 2, 3, \dots, l=0, 1, 2, 3, \dots)$$

【0068】実施の形態3と同様に、複数ラインの画像信号を一時保持するラインバッファ5Aを複数のFIFOで構成し、それぞれのFIFOに同一水平ライン上の画像信号を一時保持し、各FIFOに保持した複数画素の画像信号を輝度信号生成回路3に同時に平行に供給すれば、ラインバッファ等のメモリアクセスを不要とすることができる。

【0069】例えば、図7のように3個のFIFOを備えた場合、FIFO51~53にそれぞれ $(3k_L + 1)$ 、 $(3k_L + 2)$ 、 $(3k_L + 3)$ （ただし、 $k_L = 0, 1, 2, 3, \dots$ ）番目の水平ライン上の画像信号を保持し、各FIFOから複数画素分（例えば、4画素分）の画像信号を同時に輝度信号生成回路3に供給するようにすればよい。

【0070】このように撮像素子1から出力される複数ラインの画像信号を一時保持するラインバッファ5Aを備え、異なる水平ライン上の複数画素の画像信号をラインバッファ5Aから輝度信号生成回路3に同時に供給すれば、水平ラインおよび垂直ライン上のG信号の補間計算により輝度信号4を生成することができるので、単方向の補間により得られた輝度信号より高精度の輝度信号を生成することができる。また、このような構成を用いることにより、ラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができる。

【0071】実施の形態6、以上の実施の形態では、画

$$\begin{pmatrix} Y \\ U \\ V \end{pmatrix} = \begin{pmatrix} 0.299 & 0.587 & 0.114 \\ -0.169 & -0.331 & 0.5 \\ 0.5 & -0.419 & -0.081 \end{pmatrix} \begin{pmatrix} R \\ G \\ B \end{pmatrix} + \begin{pmatrix} 0 \\ U_0 \\ V_0 \end{pmatrix} \quad (\text{式6})$$

【0077】図2の点線で囲まれた $(2 \times 2)$ のマトリクス部のR信号、G信号、B信号を上記の(式6)に代入し、YUV信号を計算する。ただし、点線内の4画素にはG信号が2個含まれているため、本実施の形態6で

【0066】例えば、図10に示す $R_{(2k), (2l+1)}$ 、および $B_{(2k+1), (2l+1)}$ 信号をもつ画素位置の輝度信号を作成する場合、隣合う上下・左右の4画素のG信号から作成することができる。ここでは、G信号を持たない画素の輝度信号を、隣合う4つのG信号の平均から求める例について示す。以下の(式5)は輝度信号を周辺画素の平均値により求める例である。

【0067】

(式5)

像信号から輝度信号のみを生成する画像信号処理回路についてであったが、本実施の形態6は、画像信号を輝度信号と色差信号に変換する画像信号処理回路に関するものである。

【0072】この発明の実施の形態6に係る画像信号処理回路について図面を参照しながら説明する。図11は、この発明の実施の形態6に係る画像信号処理回路の構成を示すブロック図である。

【0073】図11において、1は撮像素子、2はnビットの画像信号、5Bはラインバッファ、7-1及び7-2は $2 \times n$ ビットの画像信号、8は色変換回路、9はY信号、10はU/V信号を示す。なお、これまでに既に説明した要素については同一番号を付し説明は省略する。

【0074】本実施の形態6で使用する原色系フィルタは実施の形態1と同様のもので、R、G、Bの各カラーフィルタが図2に示す位置に配置されたものである。ここでは、図2に示した点線で囲んだマトリックス $(2 \times 2)$ のRGBの画像信号から輝度信号(Y信号)、色差信号(U、V信号)を生成するものとする。

【0075】RGB信号からYUV信号への変換は、次の(式6)で表される。なお、 $U_0$ 、 $V_0$ は任意の係数である。

【0076】

【数1】

は奇数番目の水平ライン上のG信号を(式6)に代入することにして説明を行う。しかし、奇数番目の水平ライン上のG信号ではなく、偶数ライン上G信号、あるいは2つのG信号の平均値をG値として用い、RGB信号を



YUV信号に変換しても構わない。

【0078】図11に示すように、撮像素子1の出力信号（画像信号）2は、2個のFIFO51、52で構成されたラインバッファ5Bに一時保持される。このとき、実施の形態3と同様に、複数のFIFO51、52にはそれぞれ異なる水平ラインの画像信号を蓄える。

【0079】すなわち、図11の例では、FIFO51には奇数番目の水平ラインの画像信号（GRGR…）、FIFO52には偶数番目の水平ラインのラインの画像信号（BGBG…）を保持するようにFIFOへの画像信号の書きこみ制御を行う。そして、2ライン分の画像信号をラインバッファ5Bに書き込んだ後、FIFO51からGR信号、FIFO52からBG信号の水平ライン上2画素分（ $2 \times n$ ビット）の画像信号を同時に色変換回路8に供給する。

【0080】この色変換回路8では、（式6）に基づいてFIFO51から入力したG、R信号、FIFO52から入力したB信号をYUV信号に変換する。ここでは、2個のFIFOを用いてそれぞれのFIFOから2画素分の画像信号をパラレルに出力しているが、FIFOの数をさらに増やしFIFOの出力信号のバス幅を増やすことにより後段回路ブロックの動作周波数を低減することができる。

【0081】このように、前記記憶手段から同時に出力される複数ラインの画像信号を輝度信号と色差信号に変換する色変換回路8を備え、前記記憶手段に保存した異なる水平ライン上の複数画素の画像信号を後段の色変換回路8へ同時に供給することにより、色変換時のラインバッファへの高速アクセスを不要にし、後段回路ブロックの動作周波数を低減することができる。

【0082】実施の形態7。この発明の実施の形態7に係る画像信号処理回路について図面を参照しながら説明する。図12は、この発明の実施の形態7に係る画像信号処理回路の構成を示すブロック図である。

【0083】図12のラインバッファ5Aは図7と同様、3個のFIFO51、52、53から構成されるものとする。ラインバッファ5Aの出力信号518、528、538はそれぞれFIFO51、52、53の出力信号であり、 $4 \times n$ ビットの画像信号である。補間回路11は $4 \times n$ ビットの3信号からRGBの補間信号を生成する信号処理回路であり、出力信号12、13、14はそれぞれR、G、B信号を示す。色変換回路8は、R

信号12、G信号13、B信号14をYUV変換し、Y信号9、U/V信号10を生成・出力する。各FIFOの書きこみ、および読み込みの制御方法は実施の形態3の図8と同様であり、また、図12に示す構成要素で、これまでに既に説明した要素については同一番号を付しここでの説明は省略する。

【0084】原色系の単板式カラー撮像素子1により撮影された画像信号2はRGBの3色の色成分を持つが、撮像素子1の画素当たりの画像信号はR、G、B信号のいずれかの信号である。そのため、撮像素子1の解像度と同レベルのカラー画像を得るためには、撮影時に得られる画像信号以外の色成分情報を周辺画素から補間して作成する必要がある。

【0085】例えば、図13に示す斜線（メッシュ状）部の画素のように、撮影時に得られる画像信号はG信号の一色のみの画像信号であるため、この画素位置におけるR、B信号を周辺画素のR、B信号を補間することによって得る。このような方法を用いれば、撮影画像の全画素がRGB3色のカラー画像信号をもつため、撮像素子1の解像度を劣化することなく撮影画像を得ることができる。本実施の形態7は、撮像素子1から出力されるRGB信号の補間データを生成する補間回路11を備えた画像信号処理回路に関するものであり、以下に本実施の形態7を説明する。

【0086】これまでの実施の形態と同様、ラインバッファ5Aでは撮像素子1の出力信号を一時的に保持する。このとき、ラインバッファ5Aを構成するFIFO51、FIFO52、FIFO53には、実施の形態3と同様にそれぞれ異なる水平ライン上の画像信号が保存される。そして、図12に示すように、各FIFOから水平方向上の4画素分の画像信号（ $4 \times n$ ビット信号）がパラレルに補間回路11に供給される。

【0087】補間回路11は、ラインバッファ5Aからの出力信号を用いて撮影画像の各画素におけるRGB信号を補間生成する。補間回路11では、周辺画素の色信号の平均値や補間データを生成する画素と周辺画素との距離じた重み付けを施し計算することによって各色信号の補間値を求める。

【0088】例えば、次の（式7-1）～（式7-4）を用いて、周辺画素の色信号の平均値を補間データとして用いてもよい。

【0089】

$$\begin{aligned} R_{(2k+1), (2l+1)} &= (R_{(2k+1), (2l)} + R_{(2k+1), (2l+2)}) / 2 \\ G_{(2k+1), (2l+1)} &= G_{(2k+1), (2l+1)} \\ B_{(2k+1), (2l+1)} &= (B_{(2k), (2l+1)} + B_{(2k+2), (2l+1)}) / 2 \end{aligned}$$

（式7-1）

【0090】

$$\begin{aligned} R_{(2k+1), (2l+2)} &= R_{(2k+1), (2l+1)} \\ G_{(2k+1), (2l+2)} &= (G_{(2k+1), (2l+1)} + G_{(2k+1), (2l+3)} + G_{(2k), (2l+2)} + G_{(2k+2), (2l+2)}) / 4 \end{aligned}$$



15

$$B_{(2k+1), (2l+2)} = (B_{(2k), (2l+1)} + B_{(2k+2), (2l+1)} + B_{(2k), (2l+3)} + B_{(2k+2), (2l+3)}) / 4$$

(式 7-2)

【0091】

$$R_{(2k+2), (2l+1)} = (R_{(2k+1), (2l)} + R_{(2k+1), (2l+2)} + R_{(2k+3), (2l)} + B_{(2k+3), (2l+2)}) / 4$$

$$G_{(2k+2), (2l+1)} = (G_{(2k+2), (2l)} + G_{(2k+1), (2l+1)} + G_{(2k+2), (2l+2)} + G_{(2k+3), (2l+1)}) / 4$$

$$B_{(2k+2), (2l+1)} = B_{(2k+2), (2l+1)}$$

(式 7-3)

【0092】

$$R_{(2k+2), (2l+2)} = (R_{(2k+1), (2l+2)} + R_{(2k+1), (2l+2)}) / 2$$

$$G_{(2k+2), (2l+2)} = G_{(2k+2), (2l+2)}$$

$$B_{(2k+2), (2l+2)} = (B_{(2k+2), (2l+1)} + B_{(2k+2), (2l+3)}) / 2$$

(式 7-4)

【0093】図13の例では、(式7-1)～(7-4)を用いて補間データを生成するため、FIFOの出力信号のバス幅は4×nビット(nビット/画素の色信号の4画素分)となっているが、補間データを生成するために必要な画素数に応じてFIFOの出力信号のバス幅やメモリサイズを変更し、補間に用いる画素をさらに増やすことも可能である。また、本実施の形態7が適用できる補間データの生成法は(式7-1)～(7-4)に限ったものではなく、これ以外の補間生成方法を用いてもよい。

【0094】このように撮像素子1から出力される複数のラインの画像信号を一時保持するラインバッファ5Aを備え、さらに、前記ラインバッファ5Aから同時に出力される画像信号に含まれる複数の色情報信号から補間データを生成する補間回路11と、前記補間回路11から出力される複数色の前記補間データを輝度信号と色差信号に変換する色変換回路8などの信号処理手段を備える構成により、撮影画像の全画素がRGB3色のカラー画像信号をもつために撮像素子1の解像度を劣化することなく撮影画像を得ることができる。

【0095】

【発明の効果】この発明に係る画像信号処理回路は、以上説明したとおり、複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の水平方向の補間のみで輝度信号を生成する輝度信号生成回路とを備えたので、撮像素子の出力信号を一時保持するラインバッファ等の記憶手段が不必要となり、回路規模を低減できるという効果を奏する。

【0096】また、この発明に係る画像信号処理回路は、以上説明したとおり、さらに、前記カラー撮像素子から出力される前記画像信号の同一水平ラインの連続した複数の画素を同時に保持し、これら保持し連続した複数の画素を同時にパラレルに前記輝度信号生成回路に供給する記憶手段を備えたので、後段の回路ブロックの動

作周波数を低減させ、かつラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができるという効果を奏する。

【0097】この発明に係る画像信号処理回路は、以上説明したとおり、複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、前記カラー撮像素子から出力される複数の異なる水平ラインの画像信号を同時に保持し、これら保持した複数の異なる水平ラインの画像信号を同時に出力する記憶手段と、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の垂直方向の補間のみで輝度信号を生成する輝度信号生成回路とを備えたので、ラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができるという効果を奏する。

【0098】また、この発明に係る画像信号処理回路は、以上説明したとおり、前記記憶手段が、前記カラー撮像素子から出力される連続した複数の水平ラインの画像信号を同時に保持し、これら保持し連続した複数の水平ラインの画像信号をパラレルに前記輝度信号生成回路に供給するので、ラインバッファ等のメモリアクセスを不要とし、回路規模を低減することができるという効果を奏する。

【0099】また、この発明に係る画像信号処理回路は、以上説明したとおり、前記輝度信号生成回路が、前記画像信号に含まれる複数の色情報信号の中で輝度情報を最も多く含む色情報信号の垂直方向及び水平方向の補間によって輝度信号を生成するので、単方向の補間により得られた輝度信号より高精度の輝度信号を生成することができ、さらにラインバッファへのメモリアクセスを不要とし、回路規模を低減することができるという効果を奏する。

【0100】この発明に係る画像信号処理回路は、以上説明したとおり、複数のカラーフィルタが配置され、画像信号を出力するカラー撮像素子と、前記カラー撮像素子から出力される複数の異なる水平ラインの画像信号を

18

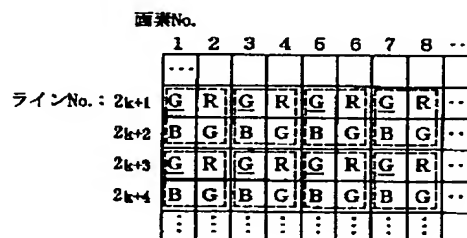
【図 4】 この発明の実施の形態 2 に係る画像信号処理回路の構成を示すブロック図である。

20

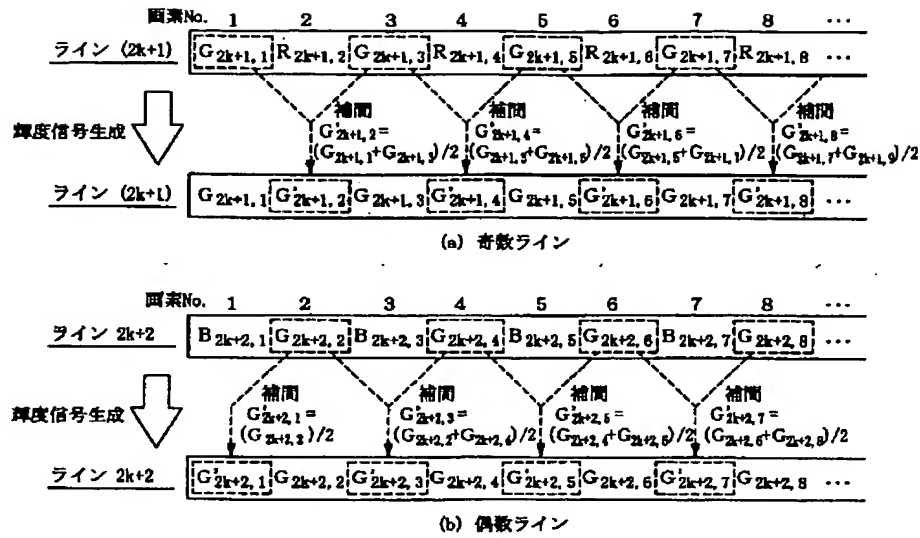
【図14】 従来のデジタルビデオカメラ（画像信号処理回路）の構成を示すブロック図である。

1 撮像素子、2 画像信号、3 輝度信号生成回路、  
4 輝度信号、5、5A、5B ラインバッファ、6  
SRAM、7 画像信号、8 色変換回路、1.1 補間  
回路。

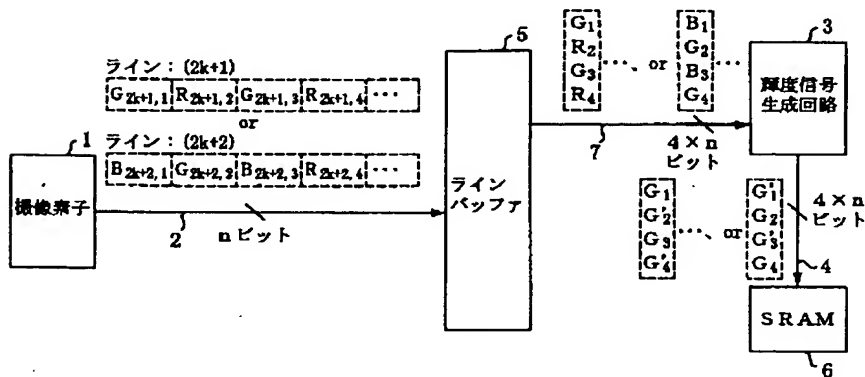
【图2】



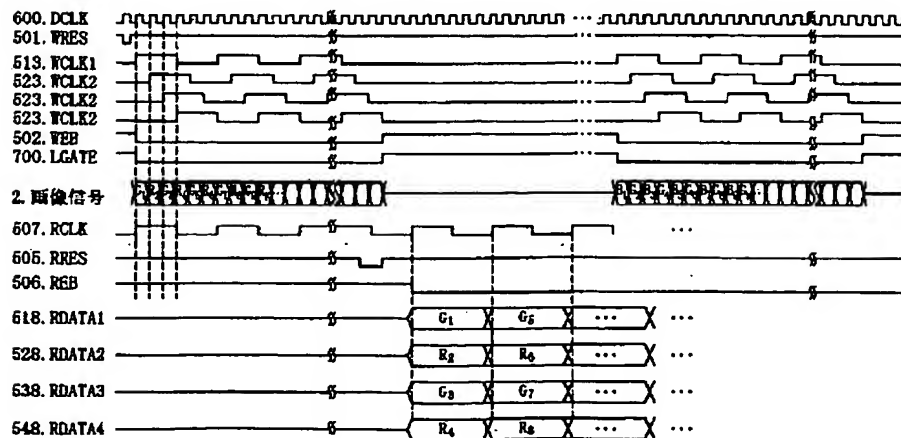
【図 3】



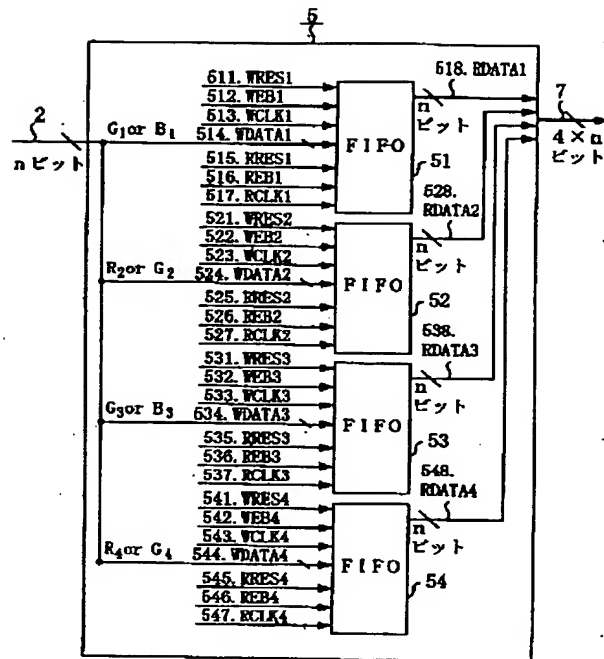
【図 4】



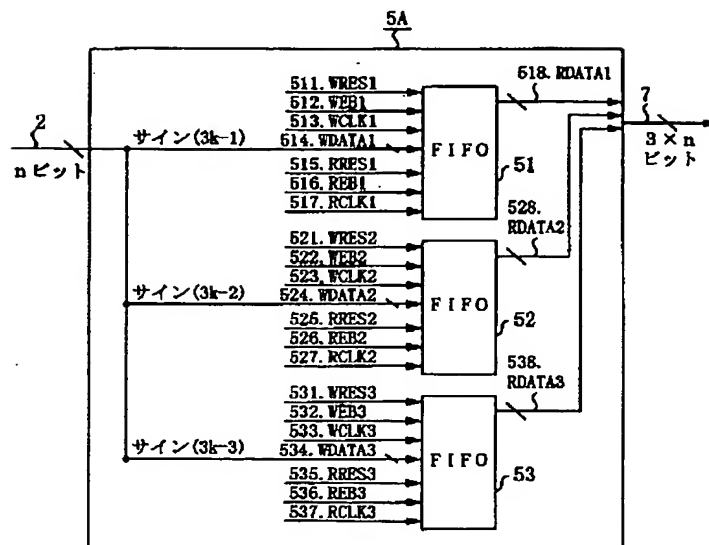
【図 6】



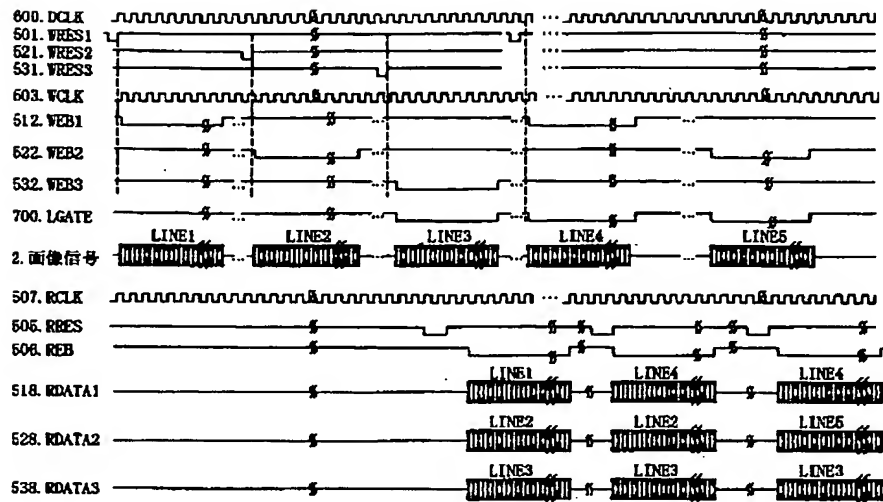
【図 5】



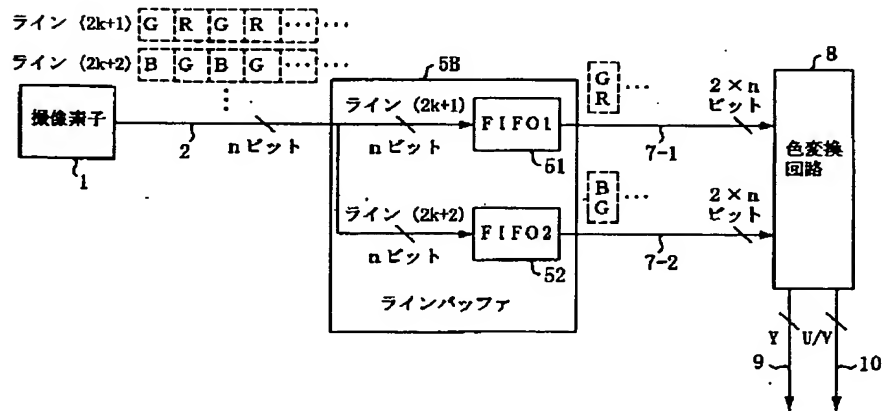
【図 7】



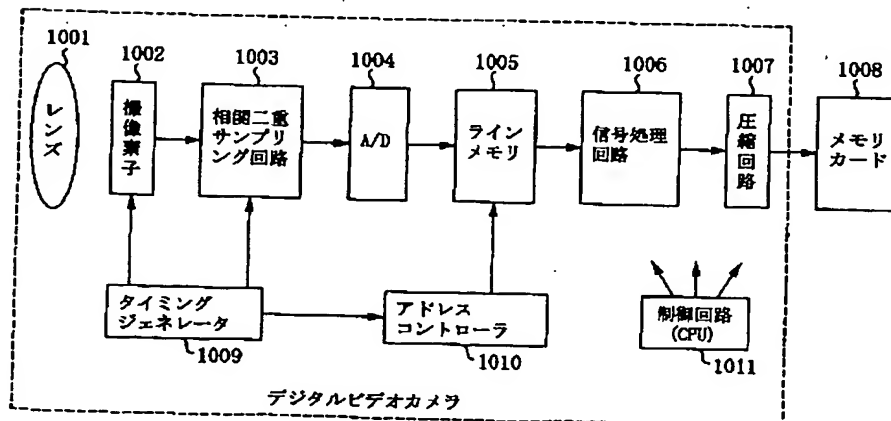
【図 8】



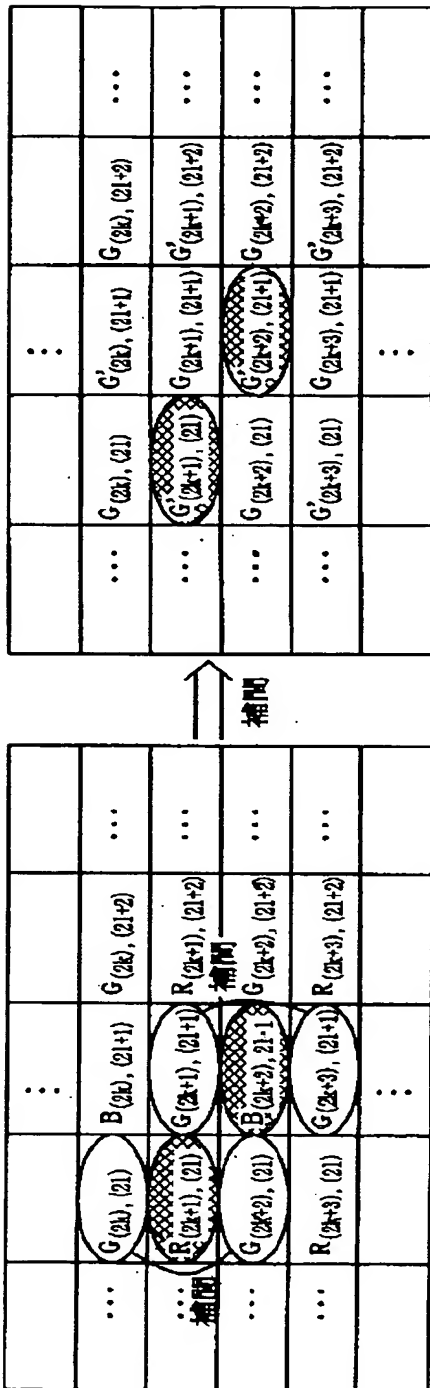
【図 11】



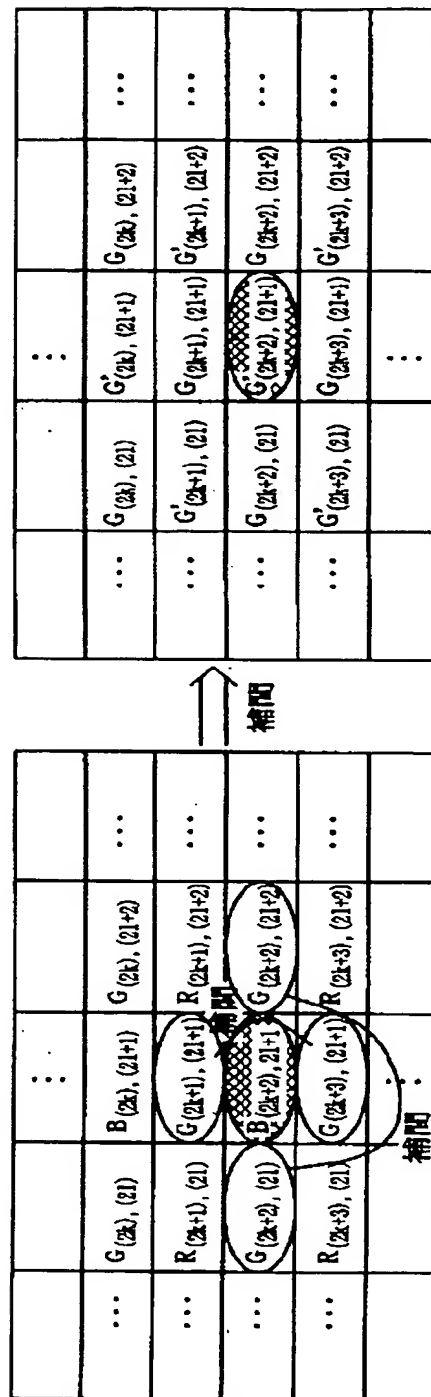
【図 14】



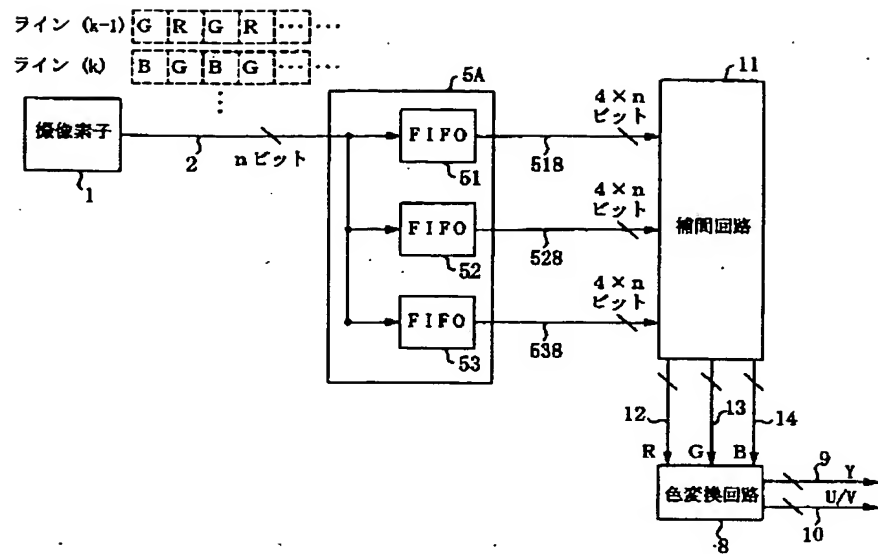
【図 9】



【図 10】



【図 12】





【図 13】

$G_{(2k+1), (2l+1)}$	$R_{(2k+1), (2l+2)}$	$G_{(2k+1), (2l+3)}$	$R_{(2k+1), (2l+4)}$	$G_{(2k+1), (2l+5)}$	$R_{(2k+1), (2l+6)}$	...
$B_{(2k+2), (2l+1)}$	$G_{(2k+2), (2l+2)}$	$B_{(2k+2), (2l+3)}$	$G_{(2k+2), (2l+4)}$	$B_{(2k+2), (2l+5)}$	$G_{(2k+2), (2l+6)}$	...
$G_{(2k+3), (2l+1)}$	$R_{(2k+3), (2l+2)}$	$G_{(2k+3), (2l+3)}$	$R_{(2k+3), (2l+4)}$	$G_{(2k+3), (2l+5)}$	$R_{(2k+3), (2l+6)}$	...
$B_{(2k+4), (2l+1)}$	$G_{(2k+4), (2l+2)}$	$B_{(2k+4), (2l+3)}$	$G_{(2k+4), (2l+4)}$	$B_{(2k+4), (2l+5)}$	$G_{(2k+4), (2l+6)}$	...

フロントページの続き

(72)発明者 黒田 悦司  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内

Fターム(参考) 5C065 AA01 AA03 CC01 DD01 DD17  
EE05 EE06 EE12 GG12 GG13  
GG17 GG18 GG30 GG32 GG37  
GG50  
5C066 AA01 AA20 BA17 BA20 CA01  
DD07 GA01 GB01 HA03 KB01  
KE02 KE03 KE09 KE11 KE19  
KM01 LA02

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**